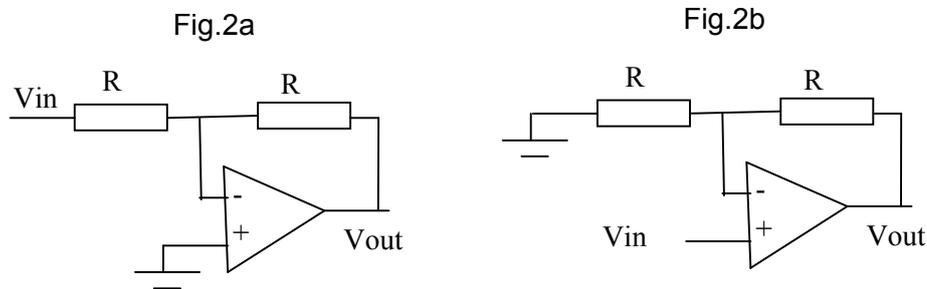


1ª Questão: Assinale a alternativa correta:

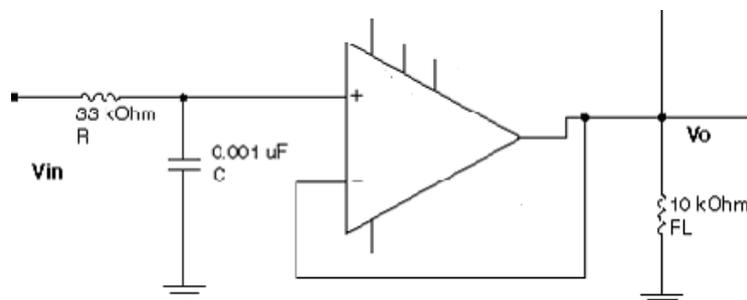
- a) Um Amplificador Operacional Ideal tem impedância de entrada infinita, impedância de saída nula e ganho de malha aberta unitário;
- b) Um Amplificador Operacional Ideal tem impedância de entrada nula, impedância de saída infinita e ganho de malha aberta infinito;
- c) Um Amplificador Operacional Ideal tem impedância de entrada infinita, impedância de saída nula e ganho de malha aberta infinito;
- d) Um Amplificador Operacional Ideal tem impedância de entrada infinita, impedância de saída infinita e ganho de malha aberta infinito;
- e) pode ser todas as anteriores, depende do Amplificador estudado.

2ª Questão: As figuras 2a e 2b apresentam duas configurações possíveis para um amplificador usando o OpAmp.



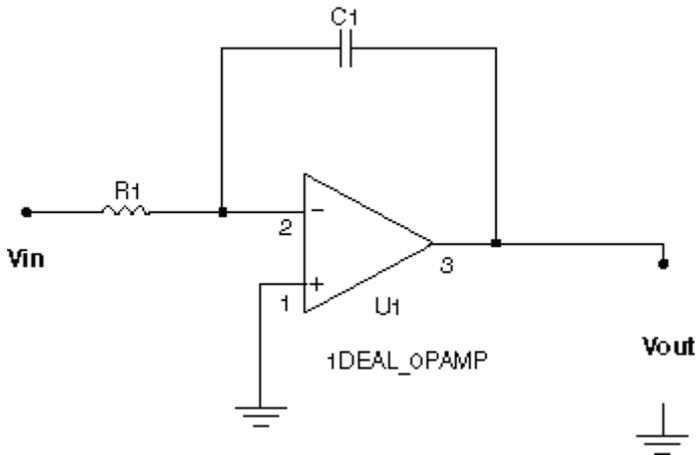
- a) O ganho previsto para a Fig.2a é $G1 = -1$ e o ganho para a Fig.2b é de $G2 = 1$;
- b) O ganho previsto para a Fig.2a é $G1 = -1$ e o ganho para a Fig.2b é de $G2 = 2$;
- c) O ganho previsto para a Fig.2a é $G1 = 1$ e o ganho para a Fig.2b é de $G2 = -2$;
- d) O ganho previsto para a Fig.2a é $G1 = 1$ e o ganho para a Fig.2b é de $G2 = -1$;
- e) n.d.a.

3ª Questão: Qual dos valores abaixo é mais próximo da frequência de corte do filtro passa baixas a seguir?



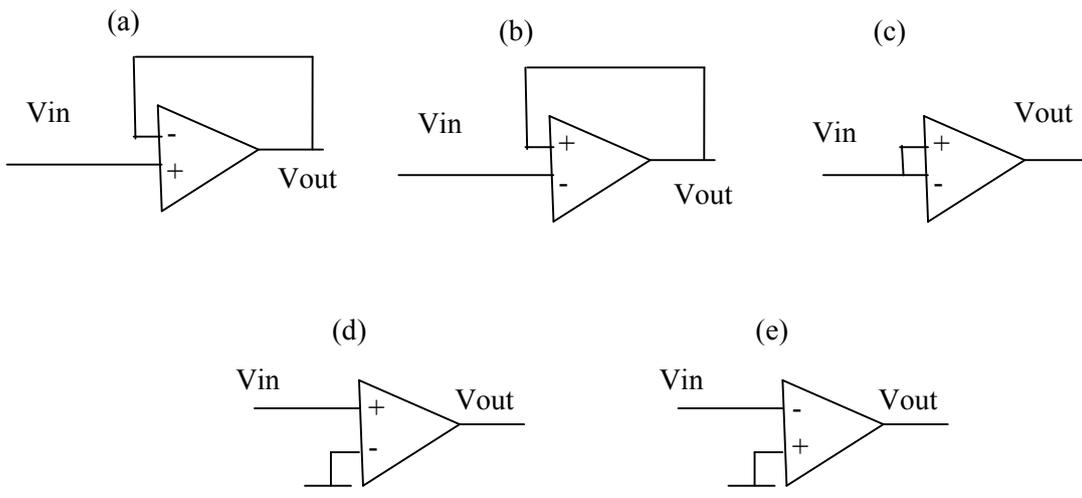
- a) 3,8 kHz
- b) 2,8 kHz
- c) 1,8 kHz
- d) 6,1 kHz
- e) 4,8 kHz

4ª Questão: Supondo que a on.d.a. de entrada seja uma senoide, $V_{in} = A \cos(\omega t)$, qual será a forma de on.d.a. da saída do circuito a seguir? (A e B são números reais)



- a) $B \cos(\omega t - 90^\circ)$;
- b) $B \cos(\omega t + 90^\circ)$;
- c) $B \cos(\omega t)$;
- d) $B \cos(\omega t - 180^\circ)$;
- e) n.d.a.

5ª Questão: Qual das configurações mostradas a seguir é a dita seguidora?



6ª Questão: Assinale a alternativa errada;

- a) a frequência máxima de operação de um circuito usando um amplificador operacional depende da frequência de ganho unitário do OpAmp em malha aberta;
- b) a frequência máxima de operação de um circuito usando um amplificador operacional depende do ganho do circuito em malha fechada;
- c) a frequência máxima de operação de um circuito usando um amplificador operacional depende do *slew-rate* do OpAmp usado;
- d) a frequência máxima de operação de um circuito usando um amplificador operacional depende das tensões de fonte de alimentação;
- e) a frequência máxima de operação de um circuito usando um amplificador operacional depende do valor máximo do sinal de entrada, mesmo que o OpAmp usado não entre em saturação;

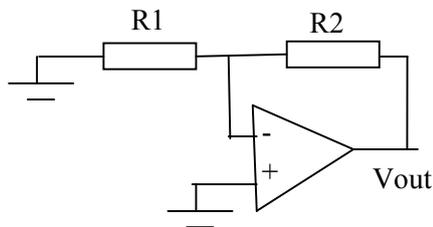
7ª Questão: Quando se diz que o *slew-rate* de um amplificador operacional real tem como valor típico 10^6 V/s, isto significa que:

- a) Esta é a máxima variação garantida pelo fabricante tanto na subida quanto na descida do sinal de saída;
- b) Esta é a máxima variação garantida pelo fabricante apenas para a subida do sinal de saída;
- c) Esta é a máxima variação garantida pelo fabricante apenas para a descida do sinal de saída;
- d) Esta é a mínima variação garantida pelo fabricante tanto na subida quanto na descida do sinal de saída;
- e) n.d.a.

8ª Questão: Um amplificador Operacional real possui:

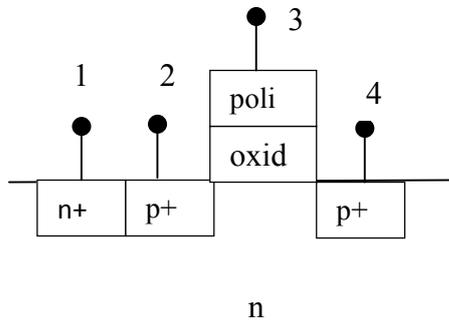
- a) Um ganho em modo diferencial alto e um ganho em modo comum alto;
- b) Um ganho em modo diferencial alto e um ganho em modo comum baixo;
- c) Um ganho em modo diferencial baixo e um ganho em modo comum baixo;
- d) Um ganho em modo diferencial baixo e um ganho em modo comum alto;
- e) Um ganho em modo diferencial alto e um ganho em modo comum médio;

9ª Questão: O diagrama a seguir pode ser usado para determinar a tensão de offset de um amplificador operacional. Suponha o ganho A do operacional muito alto. Neste caso, o valor da tensão de offset (V_{off}) em relação ao valor da tensão medida na saída (V_{out}) deste circuito é dada por:



- a) $|V_{off}| = (R1+R2) |V_{out}| / R1$
- b) $|V_{off}| = R1 |V_{out}| / R2$
- c) $|V_{off}| = R1 |V_{out}| / (R1+R2)$
- d) $|V_{off}| = R2 |V_{out}| / R1$
- e) n.d.a.

10ª Questão: Em uma condição normal de projeto, o desenho a seguir corresponde a um :



Sendo:

n+ = região de silício tipo N altamente dopado;
 p+ = região de silício tipo P altamente dopado;
 n = região de silício tipo N de dopagem não tão elevada; oxid = isolante; poli = silício poli cristalino.

- transistor MOS canal N, sendo que os terminais são: 1=substrato, 2=fonte, 3=porta e 4=dreno;
- transistor MOS canal P, sendo que os terminais são: 1=substrato, 2=porta, 3=fonte e 4=dreno;
- transistor MOS canal N, sendo que os terminais são: 1=substrato, 2=porta, 3=fonte e 4=dreno;
- transistor MOS canal P, sendo que os terminais são: 1=substrato, 2=fonte, 3=porta e 4=dreno;
- n.d.a.

11ª Questão: Assinale a alternativa verdadeira

- Em um transistor MOS, mantidas as polarizações de tensão, teremos um aumento na corrente I_{DS} com o aumento da largura de canal e/ou a diminuição do comprimento de canal;
- Em um transistor MOS, mantidas as polarizações de tensão, teremos um aumento na corrente I_{DS} com o aumento da largura de canal e/ou o aumento do comprimento de canal;
- Em um transistor MOS, mantidas as polarizações de tensão, teremos um aumento na corrente I_{DS} com a diminuição da largura de canal e/ou o aumento do comprimento de canal;
- Em um transistor MOS, mantidas as polarizações de tensão, teremos um aumento na corrente I_{DS} com a diminuição da largura de canal e/ou a diminuição do comprimento de canal;
- Em um transistor MOS, mantidas as polarizações de tensão, teremos um aumento na corrente I_{DS} com a diminuição da largura de canal e, simultaneamente, a diminuição do comprimento de canal;

12ª Questão: Também, no desenho anterior:

- A distância linear entre as duas regiões p+ da figura corresponde à chamada largura canal do transistor;
- A distância linear entre as duas regiões p+ da figura corresponde ao chamado comprimento do canal do transistor;
- A distância linear entre as duas regiões p+ da figura corresponde à chamada região de *latch-up* do transistor;
- A distância linear entre as duas regiões p+ da figura corresponde à chamada região de *sub-threshold* do transistor;
- n.d.a.

13ª Questão: A polarização de amplificadores em circuitos integrados normalmente é feito através de espelhos de corrente. O espelho de corrente dado na figura 13.a é do tipo Wilson. As figuras 13.b e 13.c apresentam, respectivamente, a forma como a resistência de saída do espelho é definida e o modelo equivalente de pequeno sinal. A resistência de saída de um MOS é dado por $r_o = |V_A|/I_D$ com V_A = tensão de Early, e I_D = corrente de polarização de dreno. Por simplicidade, desconsidere o efeito de corpo em Q_3 . Assinale a alternativa correta:

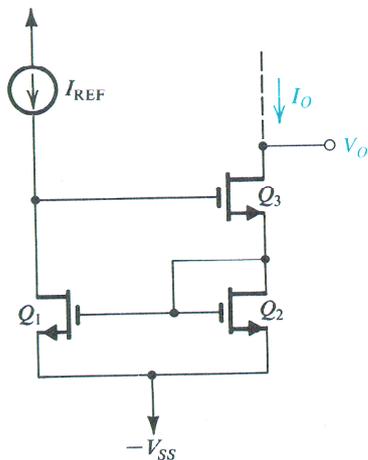


Figura13.a

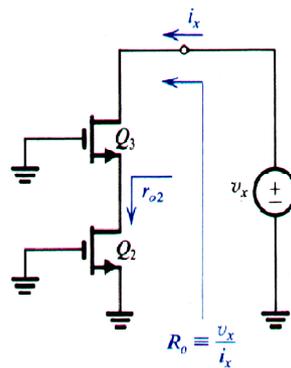


Figura13.b

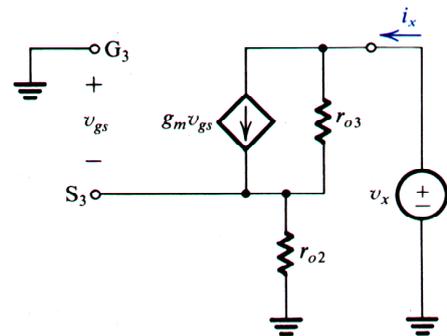


Figura13.c

- A resistência de saída pode ser dada por $R_o \equiv \frac{v_x}{i_x} = r_{o3} + r_{o2}$
- A resistência de saída pode ser dada por $R_o \equiv \frac{v_x}{i_x} = r_{o3} + r_{o2} + g_m r_{o3} r_{o2} \cong (g_m r_{o3}) r_{o2}$
- A resistência de saída pode ser dada por $R_o \equiv \frac{v_x}{i_x} = r_{o3} + r_{o2} + r_{o1}$
- A resistência de saída pode ser dada por $R_o \equiv \frac{v_x}{i_x} = \infty$
- n.d.a.

14ª Questão: É dado o amplificador com transistor nMOS integrado na Figura-14. A resistência de saída do transistor MOS é dado por $r_o = |V_A|/I_D$ com V_A = tensão de Early, e I_D = corrente de polarização de dreno. Assim, r_{o1} e r_{o2} são as resistências de saída dos transistores Q_1 e Q_2 , respectivamente. Considere g_m a transcondutância de um MOS. Assinale a alternativa correta:

- a) O circuito dado representa um amplificador CMOS na configuração dreno comum.
- b) O transistor Q_2 é o transistor de saída do espelho de corrente formado por Q_1 , Q_2 e Q_3 e o espelho é acionado com a corrente de polarização I_{REF} .
- c) O ganho de tensão pode ser dado por $A_v \equiv \frac{v_o}{v_i} = -g_{m1}(r_{o1})$
- d) O ganho de tensão pode ser dado por $A_v \equiv \frac{v_o}{v_i} = -g_{m1}(r_{o1} // r_{o2})$
- e) n.d.a.

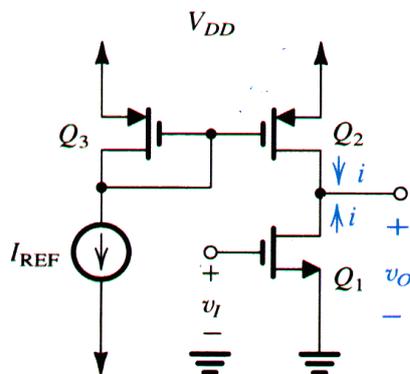


Figura14

15ª Questão: Considere o transistor Q_1 como o dispositivo amplificador nas figuras 15.a e 15.b. Assinale a alternativa incorreta.

- a) Amplificadores MOS em circuitos integrados que utilizam fontes de corrente para, ao mesmo tempo, polarizar e servir como elementos de carga (cargas ativas).
- b) Com relação a aplicação da fonte de corrente, o espelho de corrente é um bloco construtivo muito importante em CIs MOS.
- c) O seguidor de fonte fornece um ganho de tensão menor do que, mas próximo de 1 (um).
- d) O seguidor de fonte tem uma resistência de entrada bastante baixa, aproximadamente igual a $1/(g_m + g_{mb})$, sendo g_m a transcondutância e g_{mb} a transcondutância de corpo do MOS Q_1 .
- e) O amplificador em porta comum tem uma resistência de entrada bastante baixa, aproximadamente igual a $1/(g_{m1} + g_{mb1})$, sendo g_{m1} a transcondutância e g_{mb1} a transcondutância de corpo do MOS Q_1 .

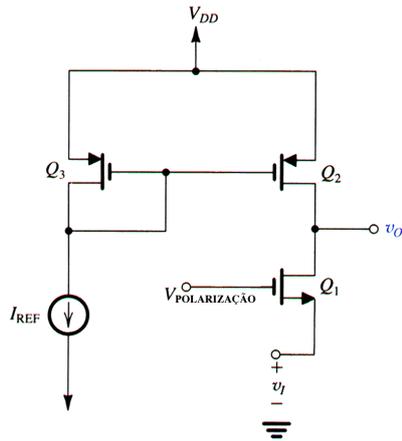


Figura15.a

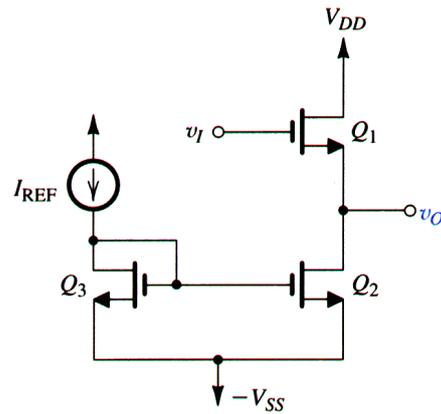


Figura15.b

16ª Questão: São dados na Figura-16 o circuito amplificador com dispositivo MOS discreto e seu modelo para pequenos sinais. Assinale a alternativa correta:

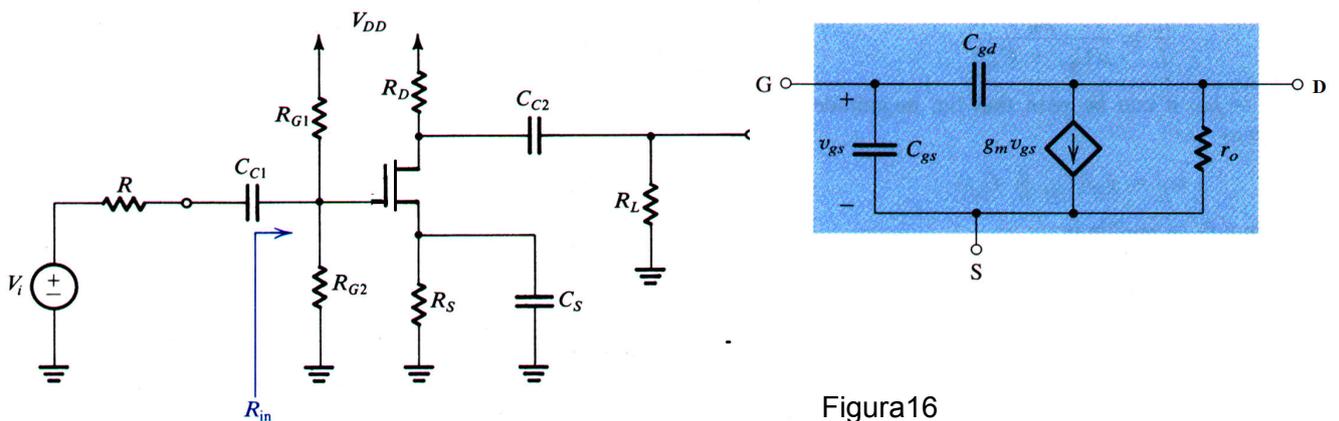
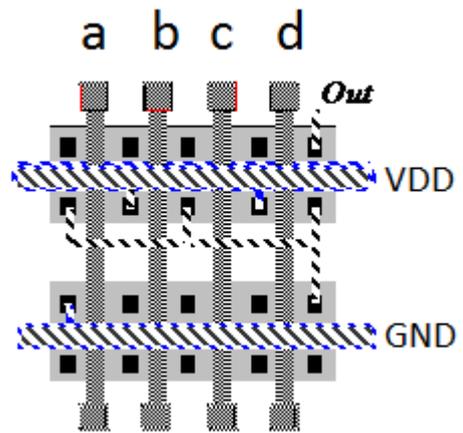


Figura16

- Os capacitores externos (C_{C1} , C_{C2} e C_S) e as capacitâncias internas (C_{gs} e C_{gd}) do transistor MOS normalmente atuam como curtos-circuitos em frequências médias.
- As capacitâncias internas (C_{gs} e C_{gd}) do transistor MOS independem do ponto de operação mas somente da tecnologia.
- Os capacitores externos (C_{C1} , C_{C2} e C_S) e as capacitâncias internas (C_{gs} e C_{gd}) do transistor MOS só são relevantes nas frequências médias.
- O efeito Miller reduz a frequência de corte superior do amplificador dado, que é devido a reflexão da capacitância C_{gs} para a entrada cujo valor pode ser dada por $C_{gs} \cdot (1 + g_m (r_o // R_D // R_L))$
- Os capacitores externos (C_{C1} , C_{C2} e C_S) normalmente atuam como curtos-circuitos em frequências médias e altas, e as capacitâncias internas (C_{gs} e C_{gd}) do transistor MOS atuam como circuitos abertos em frequências baixas e médias.

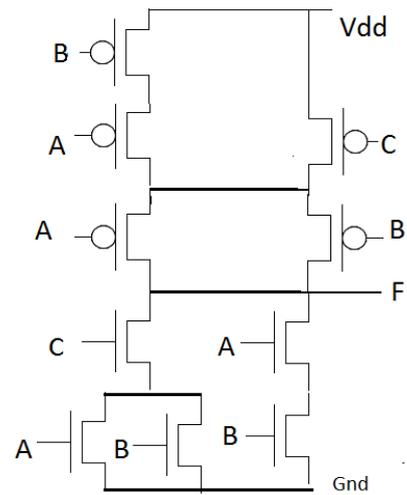
17ª Questão: A Figura-17 apresenta a implementação de um circuito na lógica complementar em um gate-array CMOS. Nela, o bloco superior de cor cinza representa a série de transistores p, o bloco inferior representa a série de transistores n, as áreas pontilhadas são da camada de silício-policristalino e as áreas listradas de metal (horizontal superior é VDD e a horizontal inferior é GND). A função implementada é:



- a) $Out = a.b + c.d$
- b) $Out = \overline{a.b.c.d}$
- c) $Out = \overline{a.b + c.d}$
- d) $Out = \overline{a + b + c + d}$
- e) n.d.a.

Figura17

18ª Questão: Para o circuito CMOS da Figura 18, é correto afirmar:



- a) a função especificada é $F = \overline{(A + B).C} + A.B$
- b) a função especificada é $F = \overline{(A + B).C + A.B}$
- c) a função especificada é $F = \overline{(A + B).C + A + B}$
- d) a função especificada é $F = A.B.C(A + B)$
- e) n.d.a.

Figura18

19ª Questão: São dados os circuitos CMOS das figuras 19.a e 19.b. Assinale a alternativa incorreta:

- A porta da Figura 19.a estará na fase de “holding” quando o Clk estiver no nível lógico “1”.
- Uma das portas CMOS da figura 19 não dissipa potência estática (DC) em *standby* para qualquer combinação dos níveis lógicos das entradas (In_1, In_2, In_3), considere no caso em que $Clk=“1”$.
- A porta da Figura 19.a tem a saída em V_{DD} independente das entradas quando $Clk = “0”$.
- Ambos os circuitos são usados para melhorar o desempenho de velocidade, pois a rede pMOS de ambas foram removidas e daí têm menos capacitâncias.
- O projeto da porta pseudo-nMOS exige o ajuste da relação entre as dimensões dos transistores pMOS e os nMOS para garantir o nível lógico “0” adequado à saída (Out).

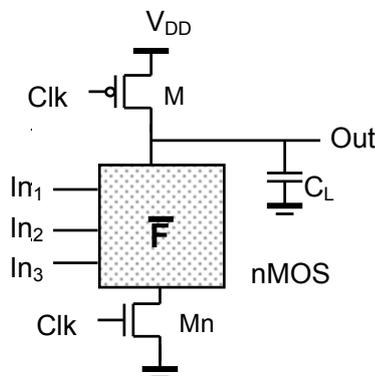


Figura 19.a

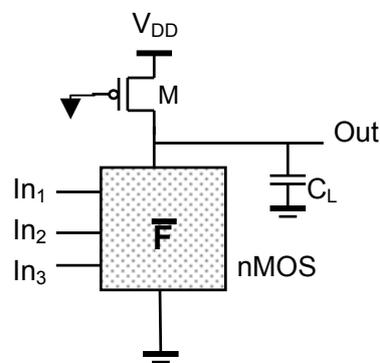


Figura 19.b

20ª Questão: Na Figura 20 é dada a função de transferência V_s vs V_e (V_e é a tensão de entrada e V_s a tensão de saída) de três inversores CMOS implementados em substrato de silício. Considere que o fator de corrente de transistores nMOS e pMOS sejam definidos como $\beta_n = \mu_n C_{ox}(W/L)_n$ e $\beta_p = \mu_p C_{ox}(W/L)_p$, respectivamente. Considere que para todos os inversores o comprimento de canal de todos os MOSFETs seja o mesmo ($L_n=L_p$), porém cada um tem algum valor próprio da relação entre as larguras dos canais W_p / W_n . As tensões de limiar dos transistores são $V_{tn}=|V_{tp}|$. Considerando uma variação de tensão, tanto de V_e como de V_s , de 0 a 2,5V, assinale a alternativa correta:

- Pode-se afirmar que $(\beta_p / \beta_n)_{INV1} > (\beta_p / \beta_n)_{INV2} > (\beta_p / \beta_n)_{INV3}$
- Pode-se afirmar que $(W_p/W_n)_{INV2} = 1$
- Pode-se afirmar que $(\beta_p / \beta_n)_{INV1} < (\beta_p / \beta_n)_{INV2} < (\beta_p / \beta_n)_{INV3}$
- Pode-se afirmar que o INV1 tem o transistor pMOS com a largura do canal menor que o transistor nMOS
- n.d.a.

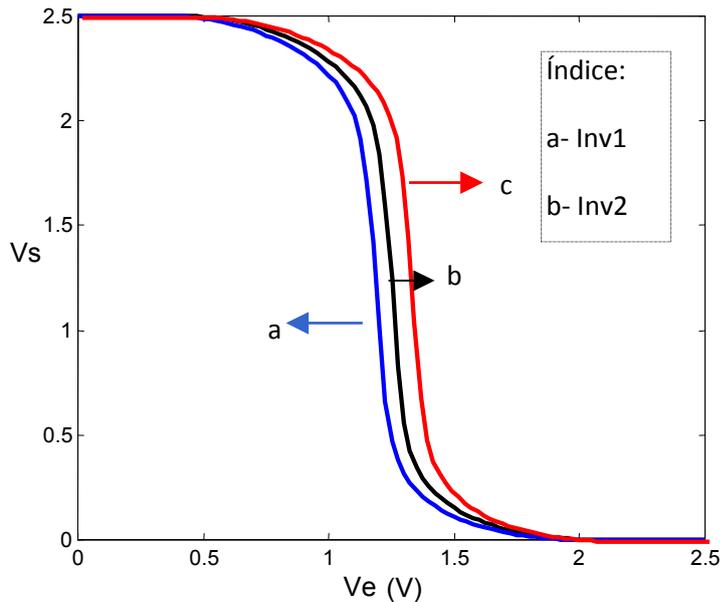


Figura 20

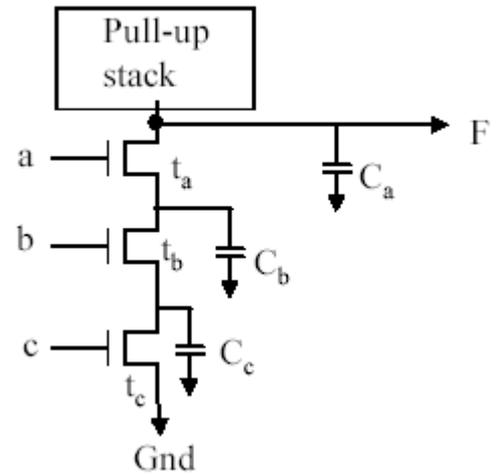


Figura 21

21ª Questão: Uma porta lógica pode ser caracterizada pelos tempos de atraso, de subida e descida. Normalmente, de forma simplificada o cálculo destes tempos faz através das constantes RC associadas às resistências de canal (R_{on}) e às capacitâncias internas e de carga da porta. Assim, na Figura 21 é mostrada a rede nMOS de uma porta NE de três entradas. Considere as três capacitâncias iguais ($C_a = C_b = C_c = C_{int}$). Indique a alternativa correta:

- Pode-se afirmar que a constante de tempo (τ_d) de descida, usando-se o modelo concentrado de capacitâncias e resistências, pode ser dada por $\tau_d = 3 R_{on} C_a + 2 R_{on} C_b + R_{on} C_c = 6 R_{on} \cdot C_{int}$, e, usando-se o modelo distribuído, $\tau_d = 3 R_{on} (C_a + C_b + C_c) = 9 R_{on} \cdot C_{int}$
- Pode-se afirmar que a constante de tempo (τ_d) de descida, usando-se o modelo concentrado de capacitâncias e resistências, pode ser dada por $\tau_d = 3 R_{on} (C_a + C_b + C_c) = 9 R_{on} \cdot C_{int}$, e, usando-se o modelo distribuído, $\tau_d = 3 R_{on} C_a + 2 R_{on} C_b + R_{on} C_c = 6 R_{on} \cdot C_{int}$.
- Pode-se afirmar que a constante de tempo (τ_d) de descida, usando-se o modelo concentrado de capacitâncias e resistências, pode ser dada por $\tau_d = R_{on} (C_a + C_b + C_c) = 3 R_{on} \cdot C_{int}$
- Pode-se afirmar que a constante de tempo (τ_d) de descida, usando-se o modelo distribuído de capacitâncias e resistências, $\tau_d = R_{on} C_a + R_{on} C_b + R_{on} C_c = 3 R_{on} \cdot C_{int}$.
- n.d.a.

22ª Questão: São dados os elementos armazenadores da Figura-22. Indique a alternativa correta:

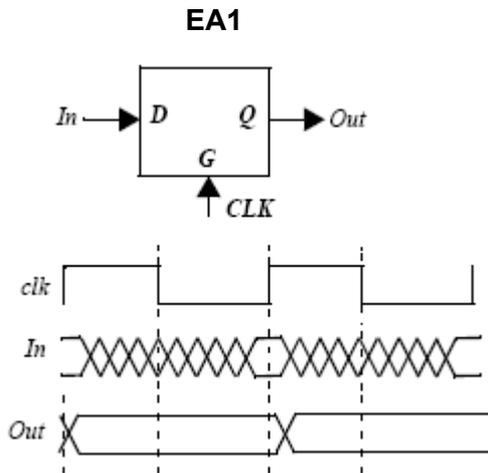


Figura 22.a

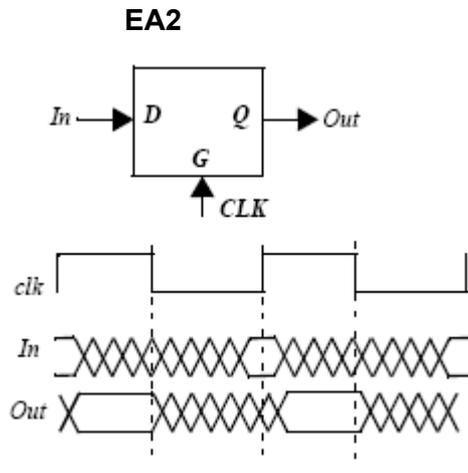


Figura 22.b

- a) Os circuitos EA1 e EA2 são, respectivamente, um flip-flop sensível à borda positiva do *clk*, e um latch transparente no nível “0” do *clk*.
- b) Os circuitos EA1 e EA2 são, respectivamente, um flip-flop transparente no nível “1” do *clk* e um latch sensível à borda negativa do *clk*.
- c) Os circuitos EA1 e EA2 são ambos latches sensíveis à borda positiva do *clk*.
- d) Os circuitos EA1 e EA2 são ambos flip-flops sensíveis à borda positiva do *clk*.
- e) n.d.a.

23ª Questão: Para CIs digitais CMOS, ocorre o consumo de potência dinâmica e estática. Assinale a alternativa correta:

- a) A potência dinâmica tem o seu valor diretamente proporcional à tensão de alimentação e ao quadrado da atividade de chaveamento.
- b) A atividade de chaveamento é um parâmetro determinante na potência dinâmica, porém não é possível controlá-lo pelo ajuste do tamanho das dimensões dos transistores.
- c) A frequência do clock é utilizada como o valor da atividade de chaveamento no cálculo da potência dinâmica, porém, desta forma, o valor de potência calculado fica em geral subestimado.
- d) A capacitância existente nos nós do circuito é irrelevante para o cálculo da potência dinâmica.
- e) n.d.a.

24ª Questão: Para o circuito CMOS da Figura 24, com lógica baseada em transistor de passagem, considere os níveis lógicos “0” e “1” de D e Φ iguais a 0V e V_{DD} , respectivamente. Assinale a alternativa correta:

- a) O circuito implementa um latch sensível à borda de subida
- b) O nível lógico “0” do nó **a** e o nível lógico “0” do nó **b** valem V_{tn} e $|V_{tn}|$, respectivamente.
- c) O nível lógico “1” do nó **a** e o nível lógico “1” de **b** valem $V_{DD}-V_{tn}$ e $V_{DD}-|V_{tp}|$, respectivamente
- d) O nível lógico “1” do nó **a** e o nível lógico “0” de **b** valem $V_{DD}-V_{tn}$ e $|V_{tp}|$, respectivamente
- e) n.d.a.

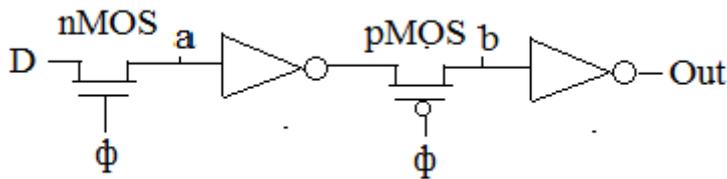


Figura 24

25ª Questão: Uma mesma função Booleana pode ser representada por diferentes fórmulas. Qual das equações Booleanas abaixo não corresponde à mesma função de todas as outras? (sugestão: utilize o mapa de Karnaugh)

- a) $\overline{yz} + \overline{xy} + \overline{xz}$
- b) $\overline{\overline{xyz}} + \overline{xyz} + \overline{\overline{xyz}}$
- c) $\overline{\overline{\overline{xyz}}} + \overline{yz} + \overline{\overline{xyz}}$
- d) $\overline{\overline{xy}} + \overline{\overline{xyz}} + \overline{\overline{xyz}}$
- e) $\overline{\overline{\overline{xyz}}} + \overline{\overline{xyz}} + \overline{\overline{xz}}$

26ª Questão: Qual é a equação que corresponde à função Booleana descrita pelo mapa de Karnaugh da Figura 26?

- a) $xz + wx\overline{y} + wyz + \overline{wxy}$
- b) $xz + wx\overline{y} + wyz + \overline{wyz}$
- c) $xz + wx\overline{y} + \overline{wxy} + \overline{wyz}$
- d) $xz + wyz + \overline{wxy} + \overline{wyz}$
- e) $wx\overline{y} + wyz + \overline{wxy} + \overline{wyz}$

		wx			
		00	01	11	10
yz	00	0	0	1	0
	01	1	1	1	0
	11	0	1	1	1
	10	0	1	0	0

Figura 26

27ª Questão: Qual das equações (funções) abaixo não corresponde ao conjunto de funções dado pelo mapa de Karnaugh da Figura 27?

- a) $w + x\bar{y} + \bar{w}xy$
- b) $\bar{w}\bar{x} + xy + \bar{w}xz$
- c) $\bar{w}\bar{x}y + xy + xz$
- d) $\bar{w}\bar{x} + xy + xz$
- e) $w + xy + xz$

		wx				
		00	01	11	10	
yz	00	0	0	ϕ	1	ϕ –dónt care
	01	0	1	ϕ	1	
	11	0	1	ϕ	ϕ	
	10	0	1	ϕ	ϕ	

Figura 27

28ª Questão: Qual é a equação que corresponde à implementação por portas lógicas da Figura 28 (sugestão: utilize o mapa de Karnaugh)?

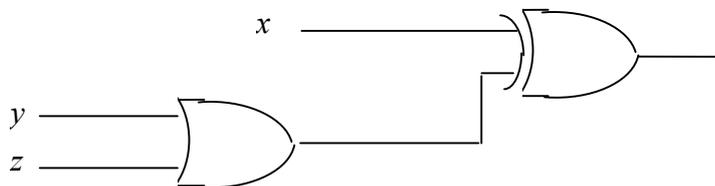
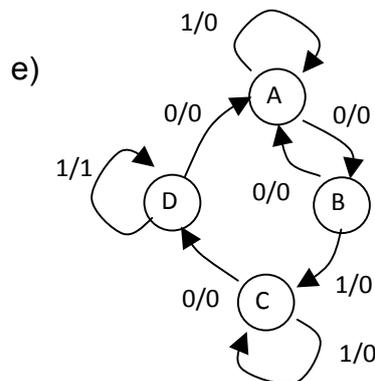
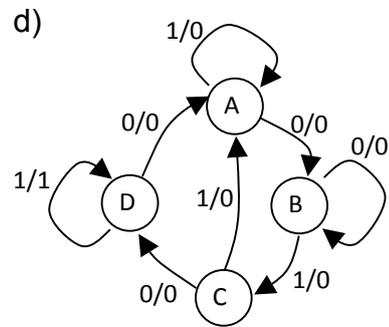
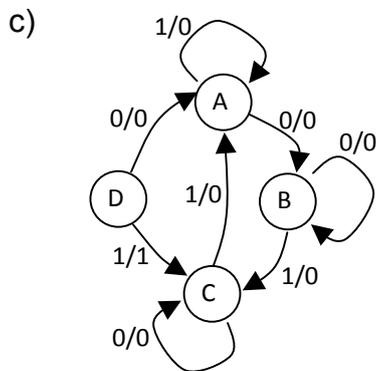
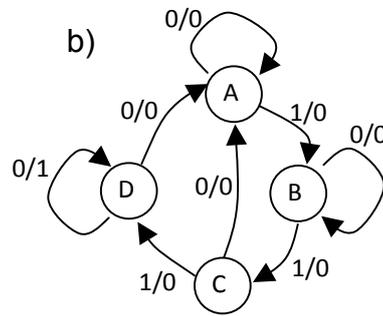
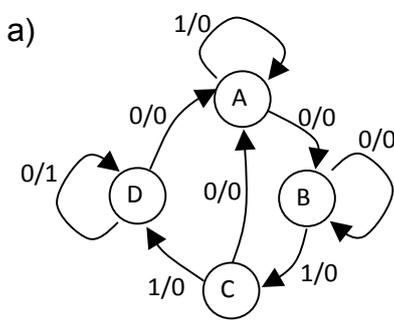


Figura 28

- a) $\bar{x}\bar{y}\bar{z} + xy + xz$
- b) $x\bar{y}\bar{z} + \bar{x}y + \bar{x}z$
- c) $\bar{x}\bar{y}\bar{z} + \bar{x}\bar{y} + \bar{x}z$
- d) $\bar{x}\bar{y}\bar{z} + \bar{x}\bar{y} + \bar{y}z$
- e) $x\bar{y}\bar{z} + \bar{x}\bar{y} + \bar{x}z$

29ª Questão: Dada a tabela de transição de estados abaixo referente a um dado circuito (x é entrada, z é saída), a qual diagrama de estados ela corresponde? Obs. Os valores das transições no diagrama de estados são da forma (x/z).

Estado Presente	Estado Futuro, z	
	x = 0	x = 1
A	B,0	A,0
B	B,0	C,0
C	D,0	A,0
D	A,0	D,1



30ª Questão: A configuração dada na figura Figura 30 é de um:

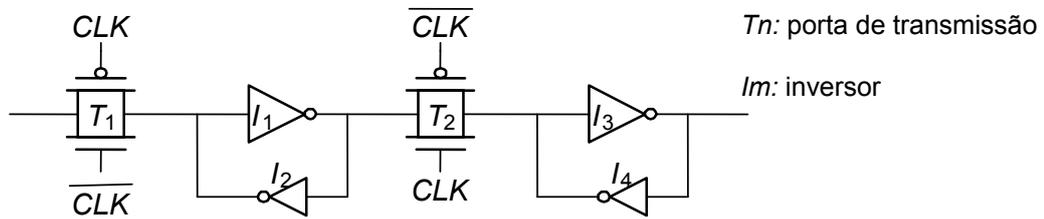


Figura 30

- a) latch
- b) flip-flop tipo T (*toggle*)
- c) flip-flop tipo D
- d) buffer para redução de tempo de atraso
- e) buffer de equalização de velocidades

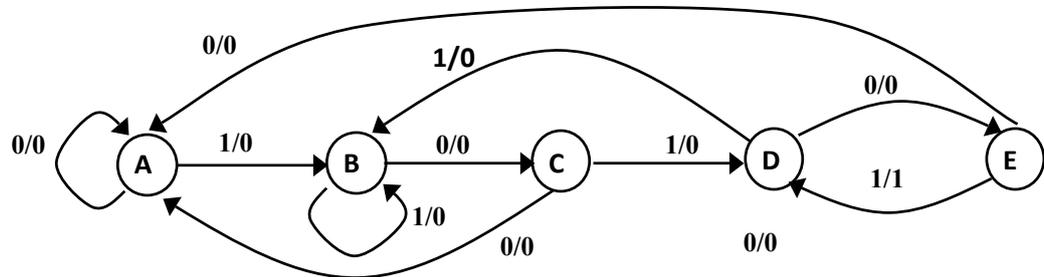
31ª Questão: É dada a tabela de transição de estados abaixo. Assuma que as variáveis Y e y (são utilizadas para representar os estados futuro e presente, respectivamente). A designação de estados esperada é: estado A $\rightarrow Y,y=0$; estado B $\rightarrow Y,y=1$. Qual é a equação para o estado futuro dada por Y?

Estado Presente	Estado Futuro, z	
	x = 0	x = 1
A	A,0	B,0
B	B,0	A,1

- a) $Y = x\bar{y}$
- b) $Y = xy + \bar{x}\bar{y}$
- c) $Y = y + x$
- d) $Y = \bar{y} + \bar{x}$
- e) $Y = x\bar{y} + \bar{x}y$

32ª Questão: A figura abaixo é de um diagrama de estados de um detector de sequência. Assumindo que o estado inicial é A, indique qual é a sequência a ser detectada.

- a) 10101
- b) 00101
- c) 0101
- d) 101
- e) n.d.a.



O texto a seguir refere-se às questões de 33 a 37

Texto retirado da revista IEEE Spectrum, Jan. 2012

Until recently, microprocessor transistors have been flat, built into the plane of the silicon. Each field-effect transistor on a chip contains four parts: a source, a drain, a channel that connects them, and a gate on top that controls the current flow through the channel. Only the gate and a thin layer of insulator beneath it sit above the silicon.

But this past May, Intel unveiled its plans for the first big move away from the planar transistor. After months of gearing up production, the new transistors, which are built into a processor code-named Ivy Bridge, will make their way onto the market during the first half of 2012.

The switch to these pop-up transistors—often called FinFETs—helps tamp down one of the key problems that have emerged as engineers have shrunk transistor dimensions: leakage current. The smaller a transistor, the weaker the gate’s control and the easier it is for current to sneak across the channel when the transistor is supposed to be off. Intel decided to go with a design that turns the transistor channel on its side, creating a protruding fin between the source and drain that can be controlled by a gate on three sides instead of one.

Expanding into the third dimension will let chipmakers continue shrinking transistors to boost speed, without leaking power. Indeed, Intel estimates the 22-nanometer Ivy Bridge chips will be 37 percent faster at low voltage and draw less than half the power of the company’s 32-nm chips.

Intel’s 3-D leap was anticipated, but its timing still came as a surprise. “Moving the technology from the lab to the fab is a big deal,” says Tom Halfhill, a senior analyst at the Linley Group, in Mountain View, Calif. Based on available road maps, Halfhill says, other chipmakers working on FinFETs are a good four to five years behind Intel. “As far as we know, nobody else is close to volume production,” he says.

33ª Questão: A tradução mais próxima para "...Intel unveiled its plans for the first big move...", frase do segundo parágrafo, é:

- a) ... a Intel tornou público os seus planos para o primeiro grande movimento...;
- b) ... a Intel deu início a seus planos para o primeiro grande movimento...;
- c) ... a Intel desistiu de seus planos para o primeiro grande movimento...;
- d) ... a Intel interrompeu os seus planos para o primeiro grande movimento...;
- e) ... a Intel revisou os seus planos para o primeiro grande movimento...

34ª Questão: Segundo o texto, os FinFETs:

- a) apresentam uma aba protuberante que os permitem operar como chaves;
- b) são de pequenas dimensões, portanto reduzem a corrente de fuga;
- c) são de pequenas dimensões e de difícil controle, portanto, uma corrente escapa pela porta;
- d) apresentam um modo de operação que contribui para a redução da corrente de fuga;
- e) apresentam um modo de operação que torna a corrente de fuga um problema-chave a ser resolvido.

35ª Questão: Segundo o texto, o chip Ivy Bridge:

- a) indica que o aumento das dimensões nas três direções permitirá aos fabricantes de chip a prosseguir no encolhimento dos transistores;
- b) rapidamente utilizará uma tensão de alimentação 37% mais baixa que aquela atualmente utilizada com a tecnologia de 32-nm;
- c) está sendo estimada pela Intel como sendo de 22-nm;
- d) será mais rápido que os chips de tecnologia de 32-nm, mas com maior potência dissipada;
- e) segue a tendência existente de que os fabricantes de chip poderão continuar a aumentar a velocidade dos transistores com o encolhimento dos transistores.

36ª Questão: Segundo texto, quanto à adoção da tecnologia 3-D pela Intel:

- a) a demora para tal realização foi uma surpresa para todos;
- b) a migração da tecnologia, do laboratório para a produção, não foi tarefa trivial;
- c) Tom Halfhill afirma que a localização geográfica da Intel tem trazido anos de vantagem para a empresa;
- d) Tom Halfhill afirma que, de seu conhecimento, só a Intel tem volume adequado para produção de dispositivos nesta tecnologia;
- e) ocorreu uma grande negociação dentro da empresa antes de se transferir a tecnologia do laboratório para a produção.

37ª Questão: Escolha a afirmação que é enunciado no início do texto:

- a) microprocessadores baseados em transistores de silício têm sido utilizados de forma intensa em aviões;
- b) os transistores são construídos tradicionalmente invertidos (porta embaixo) dentro dos microprocessadores;
- c) os transistores têm apresentado tradicionalmente um formato plano dentro dos microprocessadores;
- d) sobre o isolante e a porta encontra-se uma fina cobertura de silício;
- e) a porta e o isolante formam um assento sobre o silício para outros componentes.

O texto a seguir refere-se às questões de 38 a 40

O seguinte trecho faz parte do manual de instalação do design kit MIT 0.25 para o programa IC Station da Mentor Graphics)

Unpack and Setup the MIT Design Kit

Step 1 Open all access rights to the design kit by doing the following.

In a shell, go to the directory where the design kit has been downloaded.

Type `chmod 777 mit_25.sh`

Execute (install) your design kit by doing the following.

Step 2 Type “mit_25.sh”.

You will be prompted to enter the name of the directory where you would like the design kit to be installed.

A valid path must be given.

If the sub-directory in the given path exists, the installed files will be placed under it.

If the given sub-directory does not exist, it will be created during the install.

If an incorrect is given, a typo, or the full path is not given, an error message will appear and the install will not occur.

When the design kit is finished loading correctly, the prompt “Install of Design Kit is complete” will appear.

The `$MGC_LOCATION_MAP` and `$SAMPLE_PATH` information will also appear.

An option to look at the “readme” file is also given at this time.

If you chose to read the “readme” file type “y”.

This readme gives you general information about the kit you are working with.

If you chose not to read the “readme” file type “n”.

Step 3 View the installed design kit directories.

Go into the installed design kit directory and, by typing “ls”, list the contents.

The following sub-directories will have been created.

layout - This directory is where all the cell layout created in ic station will reside. A cell used for testing the kit will be in the directory already.

models - This directory is where the eldo model information is stored.

process - This directory is where the Calibre technology files are stored along with the process definition file.

schematics - This directory will store all the schematic files.

sim - This directory will be used to store all the simulation data.

symbols - This directory contains all the symbols used in creating schematics and setting up simulations.

userware - This directory contains the da_ic and ic station userware including device name mapping and palette menus.

mgc_location_map - Provides the location of the design kit.

38ª Questão: Pode-se entender pelo passo 2 que:

- a) Se o instalador receber como retorno a mensagem “incorret”, significa que o caminho todo não foi dado;
- b) Se o instalador fornecer o tipo errado de subdiretório, uma mensagem de erro será retornada;
- c) Se o caminho para o subdiretório desejado for escrito incorretamente pelo instalador, uma mensagem de erro será retornada;
- d) Se o instalador receber como retorno um caminho válido, significa a instalação ocorrerá;
- e) Se o instalador receber como retorno um caminho válido, significa a instalação foi imprevisível.

39ª Questão: Qual das frases abaixo é verdadeira em relação ao passo 3?

- a) Deve-se chegar ao diretório de instalação do *design-kit* teclando-se “ls”;
- b) Quando o instalador acessar o subdiretório *library*, já encontrará nele uma célula usada para teste;
- c) Os arquivos de tecnologia do Calibre são armazenados seguindo o formato dado pelo arquivo de definição;
- d) Os subdiretórios listados, de “layout” a “mgc_location_map”, serão criados após o instalador teclar “ls”;
- e) Os arquivos de tecnologia do Calibre são armazenados através de um processo dado no arquivo de definição.

40ª Questão: O terço “...You will be prompted to enter the name of the directory..” no passo 2 indica ao instalador:

- a) Que ele deve dar o nome do diretório;
- b) Que ele é desencorajado a dar o nome do diretório;
- c) Que um diretório será automaticamente acessado, cujo nome retornará prontamente;
- d) Que um diretório será prontamente acessado e o seu nome retornado;
- e) Que ele deverá estar pronto para renomear o diretório acessado.