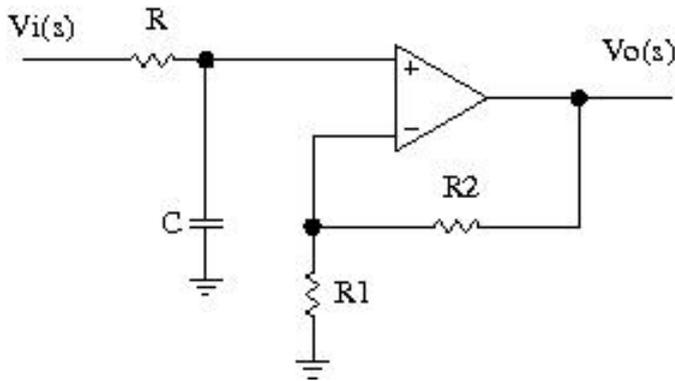


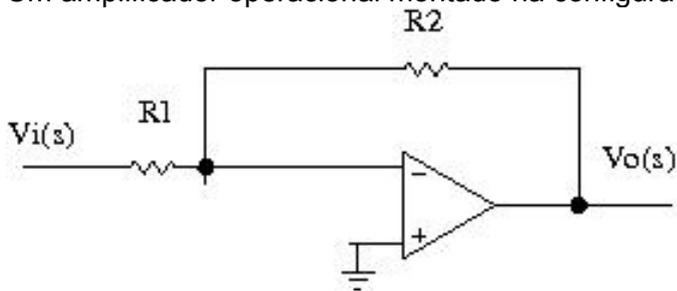
**1ª Questão (1,0 ponto)**

Um procedimento importante para a análise e utilização de circuitos usando amplificador operacional é a análise nodal usando transformada de Laplace. Esta questão tratará deste procedimento. Para o circuito da figura abaixo, aplique análise nodal nos dois nós de entrada do operacional usando conservação de corrente (soma das correntes que entram no nó igual a zero nos dois nós ligados à entrada o operacional). Use a transformada de Laplace e determine a função de transferência,  $H(s) = \frac{V_o(s)}{V_i(s)}$ . Mostre as equações de conservação de corrente e os cálculos que levaram à função de transferência.



**2ª Questão (1,0 ponto)**

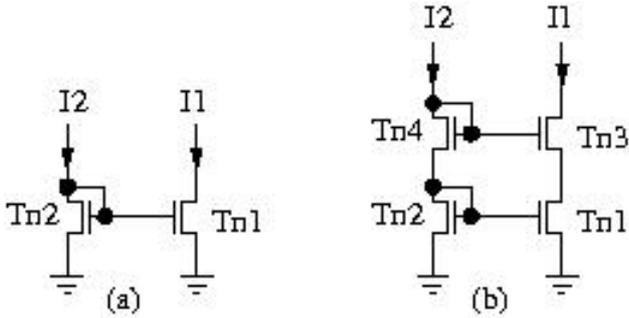
Um amplificador operacional montado na configuração inversora é mostrado na figura a seguir.



Sabemos que se  $R2/R1 = 100$ , o ganho para baixas frequências desta montagem será -100, caso o amplificador operacional fosse ideal. Caso o mesmo não seja ideal e tenha um ganho finito, ou seja,  $Vs/(V+ - V-) = K$  (menor que infinito), sendo  $Vs$ ,  $V+$  e  $V-$  a tensão nos três terminais do OpAmp, qual deve ser o valor de  $K$  para que o erro no ganho seja de 1%? Considere que os outros comportamentos do OpAmp são ideais. Mostre seus cálculos. Dica: determine  $V-$  em função de  $Vo$ ,  $Vi$ ,  $R1$  e  $R2$ .

**3ª Questão (1,0 ponto)**

As montagens da figura a seguir são uma configuração de transistores MOS na forma de espelho de corrente onde todos os transistores tem mesmas dimensões.



**(a) (0,6)** Qual deve ser a relação entre  $I_1$  e  $I_2$  nestas montagens (idealmente)? Em que região de operação (corte, linear, saturação) devem se encontrar os transistores que as compõem, para que as montagens funcionem como espelhos de corrente? Justifique sua escolha.

**(b) (0,4)** Qual das duas montagens possui comportamento mais próximo do ideal? Justifique.

#### 4ª Questão (1,0 ponto)

Dada a descrição abaixo do tipo Spice (é a descrição para o simulador Eldo; a ordem de declaração dos terminais do transistor é: dreno, porta, fonte, substrato).

Simulação no Eldo

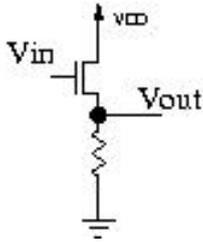
```
.include /opt/mgc_tree/adk3_1/technology/ic/models/tsmc035.mod
M1 out pt1 0 0 n L=4e-07 W=100e-06
M2 pol pol 0 0 n L=4e-07 W=100e-06
Rdes pol pt1 8.7k
Cdes in pt1 1.82p
Rcarga fonte out 2.5k
Ipol pol 0 -0.66m
vin in 0 ac 0.1
vcc fonte 0 3.3
.ac dec 10 10e+4 10e+8
.plot ac vm(out)
.end
```

(a) (0,6) desenhe o diagrama esquemático da descrição.

(b) (0,4) Os transistores M1 e M2 estão montados na forma de um espelho de corrente para a análise DC. Com isto, qual é a corrente no transistor M1? E qual a tensão DC de saída do circuito? (Suponha o espelho funcionando de forma adequada).

**5ª Questão (1,0 ponto)**

Para um estágio amplificador chamado de dreno comum, como o apresentado na figura a seguir,

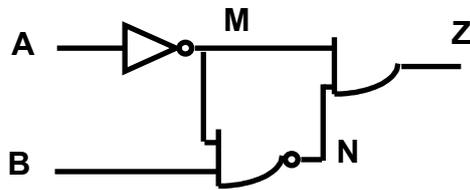


**(a) (0,5)** Qual é a região de operação (corte, linear, saturação) do transistor MOS para este estágio funcione de forma adequada? Justifique.

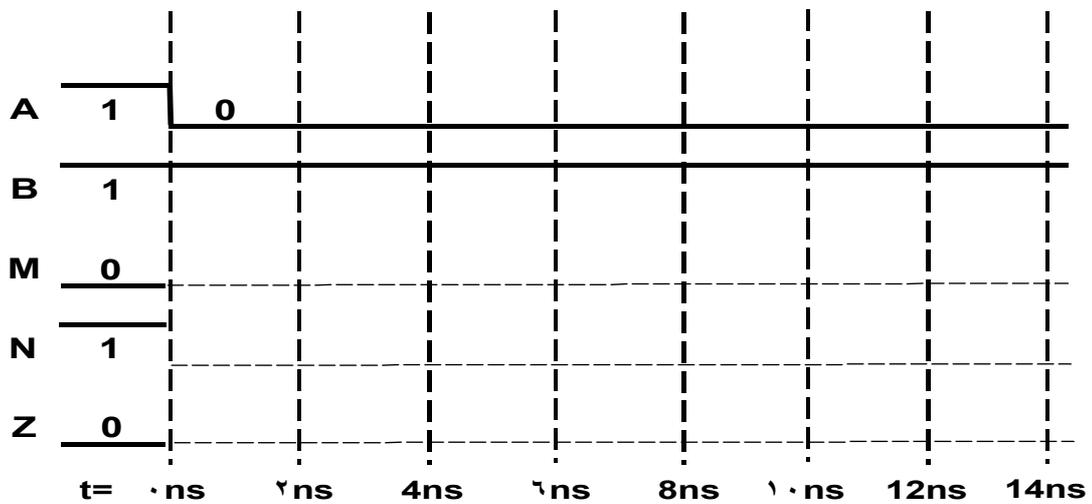
**(b) (0,5)** Qual deve ser a relação ideal entre  $V_{in}$  e  $V_{out}$  nesta montagem?

**6ª Questão (1,0 ponto)**

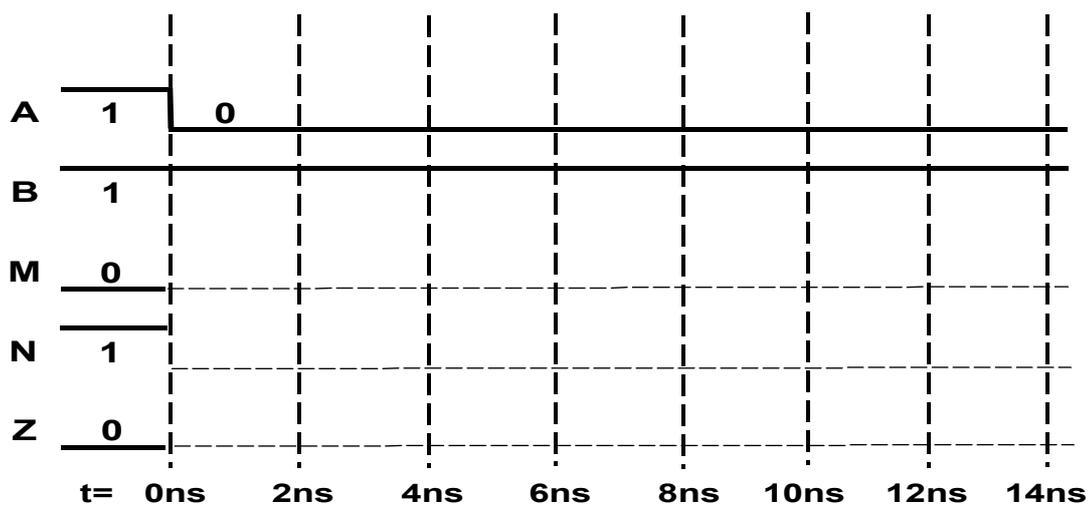
É feita uma simulação digital tradicional com um modelo estrutural no nível lógico do circuito representado na figura abaixo. Ao modelo de cada porta lógica é associado um único valor de tempo de propagação entre qualquer entrada e a sua saída.



a) Complete a carta de tempos abaixo, a partir de  $t=0\text{ns}$ , com todos os eventos em todos os nós. Considere como tempos de propagação das portas lógicas:  $t_{\text{inversor}} = 2\text{ns}$ ,  $t_{\text{NAND}} = 6\text{ns}$ ,  $t_{\text{AND}} = 4\text{ns}$ .



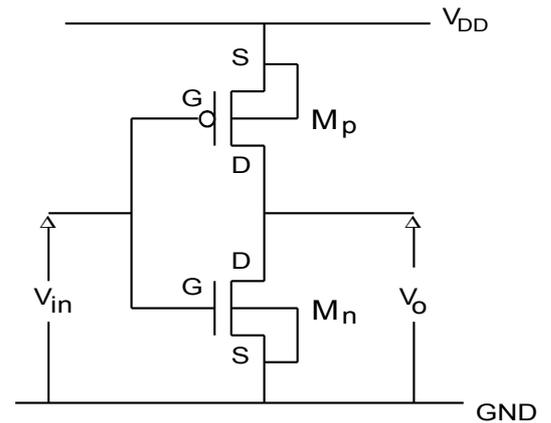
a) Complete a carta de tempos abaixo, a partir de  $t=0\text{ns}$ , com todos os eventos em todos os nós. Considere como tempos de propagação das portas lógicas:  $t_{\text{inversor}} = 2\text{ns}$ ,  $t_{\text{NAND}} = 4\text{ns}$ ,  $t_{\text{AND}} = 6\text{ns}$ .



### 7ª Questão (1,0 ponto)

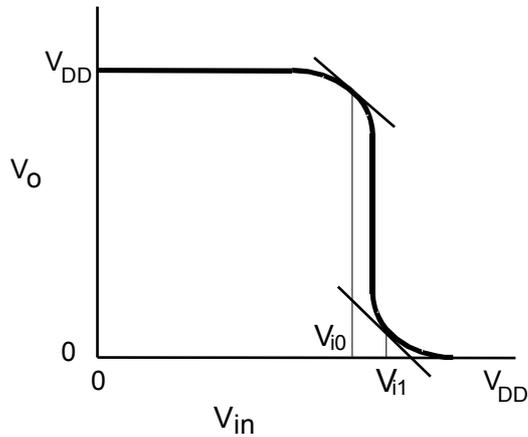
Considere a porta lógica CMOS com lógica estática complementar da figura ao lado, implementada numa tecnologia de  $0,35 \mu\text{m}$ . São dadas as seguintes informações: a dimensão do transistor  $M_p$  é  $W = 6 \mu\text{m}$  (largura de canal) e  $L = 0,35 \mu\text{m}$  (comprimento de canal); a mobilidade dos elétrons é três vezes maior que a mobilidade das lacunas ( $\mu_n = 3\mu_p$ ); as capacitâncias por unidade de área nas portas dos transistores NMOS e PMOS são iguais.

A partir destas informações, determine dimensões,  $W$  e  $L$ , para o transistores  $M_n$  de forma que a porta tenha tempos de propagação de subida e descida próximos e a área seja mínima.



### 8ª Questão (1,0 ponto)

Considere o inversor CMOS com lógica estática complementar, como a ilustrada na figura da questão anterior (questão 7), com os mesmos valores de  $W$  e  $L$  do enunciado. Para os cálculos do projeto, foram adotados os valores pouco usuais de tensão de limiar  $V_{Tn} = 0,5 \cdot V_{DD}$  e  $V_{Tp} = -0,1 \cdot V_{DD}$ . Para um determinado dimensionamento, obteve-se a curva de transferência dada na figura abaixo, onde  $V_{i0} = 0,65 \cdot V_{DD}$  e  $V_{i1} = 0,75 \cdot V_{DD}$  são os valores limites de entrada  $V_{in}$  aceitos, respectivamente, como valor lógico '0' e '1'.

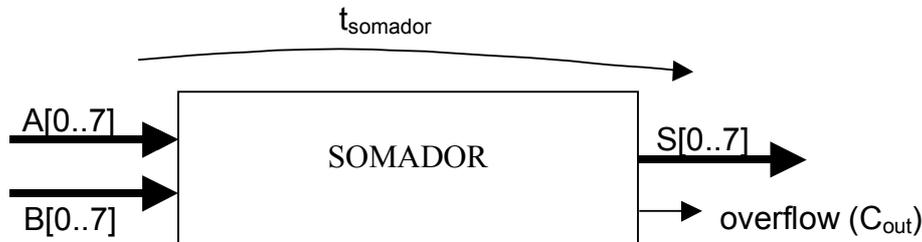


a) Quais são os valores de margem de ruído para os níveis lógicos '0' e '1'? Deixar o resultado em função de  $V_{DD}$ .

b) Qual é o valor a ser adotado pelo projetista para a largura  $W$  do transistor  $n$  para tornar as margens de ruído mais equilibradas (com valores mais próximos)?

**9ª Questão (1,0 ponto)**

Sabe-se que os somadores completos (com sinais de *carry-in* e *carry-out*) de 1 bit a serem utilizados nesta questão possuem tempo de propagação,  $t_p$ , de 1 ns entre qualquer entrada e saída. Assuma que você possui um somador cujas duas entradas são palavras de 8 bits como ilustrado na figura abaixo e que é construído a partir dos somadores completos dados. Você deseja descobrir se o somador é do tipo “ripple-carry” e para isto realizará um teste aplicando vetores às suas entradas e medirá o tempo de propagação total,  $t_{\text{somador}}$ .



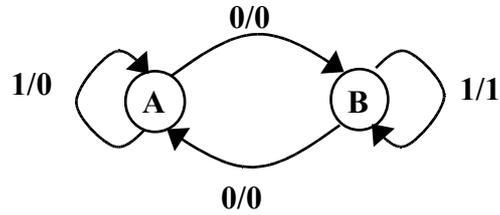
a) Proponha um valor para cada um dos vetores A e B de tal forma que tenha certeza que a soma será realizada no valor máximo de  $t_{\text{somador}}$  (assuma que todos os bits de A e B iniciam em valor lógico '0' e a transição para os valores de teste desejados ocorram ao mesmo tempo e em paralelo).

Bit	0	1	2	3	4	5	6	7	8
A									
B									

b) Qual é o valor aproximado de  $t_{\text{somador}}$  que se espera medir para se ter certeza que se trata de um “ripple-carry”? Faça uma justificativa sucinta.

**10ª Questão (1,0 ponto)**

Na figura abaixo é mostrado o diagrama de estados de um circuito sequencial síncrono, para o qual existe uma entrada  $x$  e uma saída  $z$  (transições dadas com  $x/z$ ). Assumindo que se faça uma designação binária de estados ( $A \rightarrow '0'$ ) e ( $B \rightarrow '1'$ ), (Sugestão: use  $q$  como variável de estado atual e  $Q$  como a variável do próximo estado).



a) Apresente as equações para a saída  $z=f(q,x)$  e para o estado futuro  $Q=f(q,x)$

b) Desenhe um esquema elétrico para o circuito, compatível ao obtido no item a, usando-se unicamente flip-flops, e portas inversores, ANDs, NANDs, Ors or NORs.



